

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-12573

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月21日

G 01 R 31/318
G 08 F 11/22

3 1 0 B

7343-5B
6912-2G

G 01 R 31/28

A

審査請求 未請求 請求項の数 3 (全5頁)

⑮ 発明の名称 テストデータ変更回路を有する論理回路テスト装置

⑯ 特 願 平1-145112

⑰ 出 願 平1(1989)6月9日

⑱ 発 明 者 松 本 隆 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 野 萩 守 外1名

明 細 書

1. 発明の名称

テストデータ変更回路を有する論理回路テスト装置

2. 特許請求の範囲

1. 複数のテストパターンを含むテストデータを保持するための第1記憶装置と、各テストパターンをテストピン群に対応付けて保持するための第2記憶装置と、前記第1記憶装置から前記第2記憶装置へ各テストパターンを転送するための転送回路とを備え、特徴として、前記転送回路は、前記第1記憶装置からのテストパターンを変更するためのデータ変換回路と、前記データ変換回路を制御する制御データを保持するための第3記憶装置とを含む、論理回路テスト装置。

2. 請求項1において、前記データ変換回路は、前記第1記憶装置からのテストパターンと変更用データの間の複数種の論理演算を選択的に行なう論理回路を含み、前記制御データは、前記

変更用データと、前記複数種の論理演算の任意の一つを指定する演算指定情報を含む、論理回路テスト装置。

3. 請求項1又は2において、前記第1記憶装置内の各テストパターンは、その各ビットに割当てられたピン番号を識別する情報を伴い、前記第3記憶装置中の各記憶位置は、前記ピン番号に対応するアドレスを持ち、前記制御データの読出位置が前記第1記憶装置からテストパターンと共に読出されたピン番号識別情報によって指定される、論理回路テスト装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、論理回路テスト装置に関し、特に、テスト装置内でのテストデータの変更に関する、(従来の技術)

論理回路のテストのためには、非常に大量のテストデータが必要である。テストデータは、多数のテストパターンを含み、通常、コンピュータにより、ほぼ完全に自動的に作成される。テスト装

特開平3-12573(2)

置において、相次ぐテストパターンが次々とテストピン群に供給され、テストパターンの各ビットは対応するテストピンに割当てられる。

論理回路テスト装置の一例として、VLSIのスキヤンテストを行なう装置が、INTERNATIONAL TEST CONFERENCE 1985 PROCEEDINGS、第431～436頁に記載されている。スキヤンテストにおいて、被テスト論理回路は複数のサブネットワークに分割され、各サブネットワークは、入力側ラッチ群と、出力側ラッチ群と、これらラッチ群の間の組合せ論理ブロックとからなり、各組合せ論理ブロックが、テスト用入力データを入力側ラッチ群にスキヤンインし、次いで出力データを出力側ラッチ群からスキヤンアウトして期待値と比較することによって、個別的にテストされる。各サブネットワークのために一連のテストパターンが用意され、各テストパターンの各ビットは、対応するサブネットワークの仮想的なピン番号に割当てられる。テストデータは、ホストコンピュータからテスト装置内のテストパターンバッファに転

送され、そこから、各テストパターンがローカル記憶装置に順次移される。ローカル記憶装置内のアドレスは、そこに保持されているデータがテストピン群に適用される順序に対応し、各アドレス内のビット位置は、そのビットに割当てられたテストピン番号に対応する。各テストパターンがテストパターンバッファからローカル記憶装置に移される時に、変換回路が、仮想ピン番号を、ローカル記憶装置内のアドレスとビット位置（テストピン番号）に変換する。

〔発明が解決しようとする課題〕

テスト実行段階において、テストデータの部分的変更の必要なことが、しばしば判明する。例えば、テストデータ自体が適切でなかったり、あるいは、論理構造のみに基づいて作られたテストデータが、回路特性の影響で不適切になったりすることがあるからである。ところが、前記のスキヤンテスト装置を含めて、従来のテスト装置は、テストデータを変更することができない。テストデータの変更は、他の適当な装置、例えばホストコ

ンピュータにより行なわなければならない。その間、テストは中断される。また、一時的な変更を要するのみで、原テストデータを変更する必要はない場合があるが、このような場合には、原テストデータのほかに、部分的に変更されたテストデータの完全な組を作らなければならない。

テストパターンバッファの内容が使用者が変更できる機構を設けるだけならば、容易である。しかし、テストパターンバッファのどこに変更すべきテストパターンビットがあるかを知るの、簡単ではない。特に、前述のスキヤンテスト装置の場合、テストピン番号とは異なる仮想ピン番号が用いられ、しかも、一連のテストパターンに共通な制御情報部分を省略して圧縮した形式がとられているので、テストパターンバッファ内のテストデータの変更は一段と困難である。

本発明の目的は、テスト実行時に、テストデータの任意の部分、必要に応じて一時的に変更できるようにし、それによって前記の問題を解決することにある。

〔課題を解決するための手段〕

本発明によれば、テストデータを保持する第1記憶装置（例えば、前記スキヤンテスト装置におけるテストパターンバッファ）から各テストパターンをテストピンに対応付けて記憶する第2記憶装置（例えば、前記スキヤンテスト装置におけるローカル記憶装置）へのデータ転送回路中に、第1記憶装置からのテストパターンを変更するためのデータ変換回路と、このデータ変換回路を制御する制御データを保持するための第3記憶装置とが設けられる。

前記データ変換回路は、原テストパターンと変更用データの間の複数種の論理演算を選択的に行なう論理回路を含むことができ、その場合、前記制御データは、前記変更用データと、前記複数種の論理演算の任意の一つを指定する演算指定情報を含む。

更に、第1記憶装置内の各テストパターンがその各ビットに割当てられたピン番号を識別する情報を伴う場合、第3記憶装置中の各記憶位置にこ

特開平3-12573 (3)

のピン番号に対応するアドレスを与え、制御データの読出位置は、テストパターンと共に読出されたピン番号識別情報により指定されるように構成する。

〔作用〕

データ転送回路中に設けられたデータ変換回路は、テストパターンを、第1記憶装置から第2記憶装置への転送の途上で変更する。変更位置、変更態様等は、適当な制御データを第3記憶装置に書き込むことにより、容易に指定することができる。したがって、原テストデータを変更する必要なしに、テスト実行時にテストパターンを任意に変更することができ、しかも、変更は一時的であつて、原テストデータは不変に保たれる。

制御データの変更データ部分は、任意所望の値に設定することができ、加えて、演算指令部分により、複数の変更態様（例えば、不変更、原データの反転、変更データによる置換等）の一つを指定することができる。データ変換回路中の論理回路は、原テストパターンと変更用データに対して

指定された論理演算を実行する。したがって、多様な変更が可能である。

更に、第3記憶装置がピン番号に対応するアドレスでアクセスされる構成では、所望のピン番号に対応するアドレス位置に所望の制御データを書き込むことにより、所望の変更が実現される。したがって、仮想ピン番号が用いられるスキヤンテスト用のテストデータであつても、容易に変更を行なうことができる。

〔実施例〕

第1図は、本発明によるテスト装置のテストデータ変更機構の一実施例を、ブロックダイアグラムで示す。このテスト装置は、スキヤンテスト用のものである。原テストデータは、充分な容量を持つバッファ記憶装置(BS)1に、仮想ピン番号と関連付けて蓄積される。仮想ピン番号は、被テスト回路内の各サブネットワークの各入力側ラッチの入力端子と各出力側ラッチの出力端子に、仮に与えられたピン番号である。第1のテーブル記憶装置(TS1)2は、仮想ピン番号をローカ

ル記憶装置(LS)3のアドレスとビット位置(テストピン番号に対応)に変換するためのテーブル(前出文献にいう変換テーブルに対応)を保持する。

バッファ記憶装置1から読出されたテストデータに対応する仮想ピン番号は、第1テーブル記憶装置2にアドレスとして供給されて、このアドレスから、ローカル記憶装置3中の対応するアドレス(LSアドレス)とテストピン番号が読出される。LSアドレスは、デコーダ(DEC)4を介してローカル記憶装置3中の対応するアドレス位置を指定し、テストピン番号は、デマルチプレクサ5を介して、テストデータに対応するビット位置に転送する。

第2図は、第1テーブル記憶装置2のピン番号変換機構を図式的に示す。バッファ記憶装置1内のあるテストパターンは、仮想ピン1~5に印加されるべきスキヤンイン値A~Eと、仮想ピン6~8から得られると期待されるスキヤンアウト値F~Hとからなる。各仮想ピン番号は、第1テ

ブル記憶装置2によつて、LSアドレスとテストピン番号に変換される。その結果、スキヤンイン値A~Eは、LSアドレス0~4のテストピン番号位置6に格納されて、テストピン6を通り入力側フリップフロップ群FFiにスキヤンインされ、他方、スキヤンアウト値F~Hは、LSアドレス6~8のテストピン番号位置8に格納されて、テストピン8からスキヤンアウトされる出力側フリップフロップ群FFoの出力と比較される。

第1図に戻り、従来装置では、バッファ記憶装置1から読出されたテストデータDIが、直接デマルチプレクサ5に供給される。これと対照的に、本発明によれば、第2のテーブル記憶装置(TS2)6と、データ変換回路7とが設けられる。第2テーブル記憶装置6は、第1テーブル記憶装置2と同様に、バッファ記憶装置1からの仮想ピン番号によりアドレスされ、その各アドレス位置は、コントロールデータと、マスクデータMと、変換データDXとを保持する。これらのデータは、このテスト装置の図示されていない入力機器(例えば

特開平3-12573(4)

キーボード)を介して、第2テーブル記憶装置6に送られる。データ変換回路7は、第2テーブル記憶装置6からのマスクデータM及び変換データDXと、バッファ記憶装置1からのテストデータDIとをオペランドとして受け、第2テーブル記憶装置6からのコントロールデータの値が指定する論理演算をこれらのオペランドに施して、その結果をデマルチプレクサ5に送る。

第3図は、データ変換回路7がコントロールデータの値に応じて行なう演算の例を論理式で示し、第4図は、データ変換回路7の論理構造の一例を示す。コントロールデータが“0”の時は、ANDゲート10を経て、バッファ記憶装置1からのテストデータDIがそのまま得られ、コントロールデータが“1”の時は、インバータ11とANDゲート12を経て、テストデータの反転 \overline{DI} が得られ、コントロールデータが“2”の時は、ANDゲート13、ORゲート14、ANDゲート15を経て、テストデータDIと第2テーブル記憶装置6からのマスクデータMの論理積 $(DI \cdot M)$

と、第2テーブル記憶装置6からの変換データDXとの論理和 $((DI \cdot M) + DX)$ が得られ、コントロールデータが“3”の時は、ANDゲート16を経て、変換データDXがそのまま得られる。ANDゲート10、12、15、16の選択は、コントロールデータをデコードするデコーダ17により行なわれる。

以上のようにして、第2テーブル記憶装置6における所望の仮想ピン番号に対応するアドレス位置のデータを適当な値に設定することにより、テストデータの一部を、テスト実行時点において、一時的に変更することができる。

以上において、本発明はスキャンテスト装置に関して説明されたが、本発明は、他の型、例えば、入力パターンが複数のピンに並列に供給される型のテスト装置にも、同様に適用することができる。
〔発明の効果〕

本発明によれば、テスト装置の内部において、テストデータをテスト実行時点で一時的に変更することができる。原テストデータは変更する必要

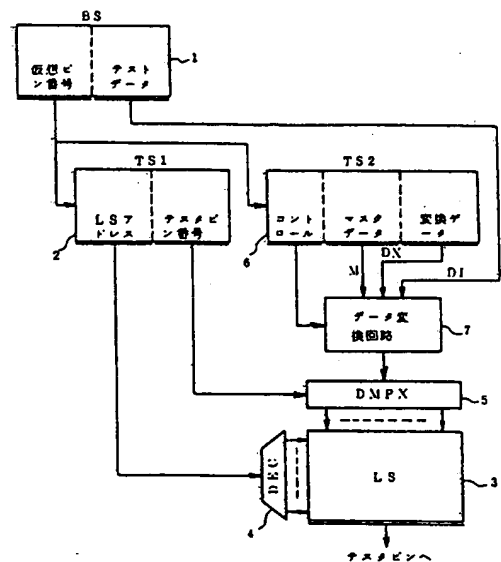
がないから、テスト現場で簡単にテストデータの変更ができ、テスト中断時間が短縮される。複雑な構造のスキャンテスト用テストデータの変更も容易である。

4. 図面の簡単な説明

第1図は本発明によるテストデータ変更機構の一実施例を示すブロックダイアグラムであり、第2図はピン番号変換機能の説明するための模式図であり、第3図は第1図中のデータ変換回路の機能を示す図であり、第4図は第3図に示された変換機能を実現する回路の一例を示す図である。
1…テストデータを保持する記憶装置、2…ピン番号変換用テーブル、3…テストパターンを記憶する記憶装置、6…変更制御データを保持する記憶装置、7…データ変換回路。

代理人 井理士 野萩 守
(ほか1名)

第1図



特開平3-12573 (5)

図 2

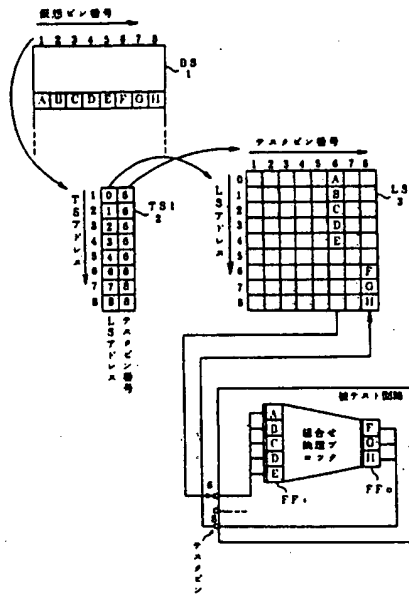
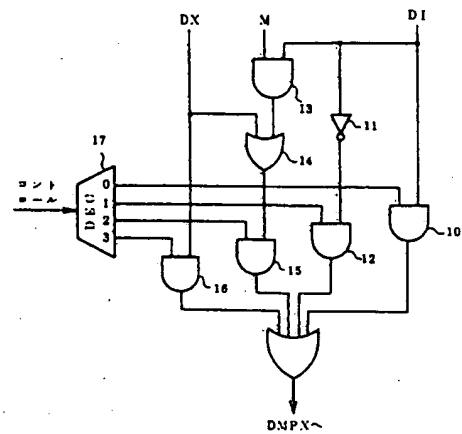


図 3

コントロール	データ変換回路出力
0	DI
1	\overline{DI}
2	$(DI \cdot M) + DX$
3	DX

図 4



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-012573
 (43)Date of publication of application : 21.01.1991

(51)Int.Cl. 601R 31/318
 606F 11/22

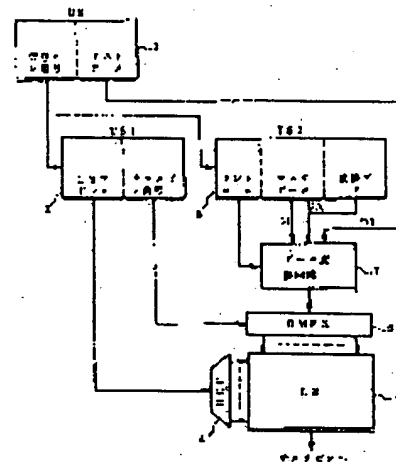
(21)Application number : 01-145112
 (22)Date of filing : 09.06.1989

(71)Applicant : HITACHI LTD
 (72)Inventor : MATSUMOTO TAKASHI

(54) LOGIC CIRCUIT TESTING DEVICE HAVING TEST DATA CHANGING CIRCUIT**(57)Abstract:**

PURPOSE: To simply change test data in a test job site and to shorten the test interruption time by providing a data converting circuit in a data transfer circuit extending from a first storage device for holding the test data to a second storage device.

CONSTITUTION: A virtual pin number corresponding to test data read out of a buffer storage device 1 is supplied to a first table storage device 2, the corresponding address position in a local storage device 3 is designated through a decoder 4, and the test data is transferred to the corresponding bit position through a demultiplexer 5. Also, a second table storage device 6 holds control data, mask data M and conversion data DX of each address position, and a data converting circuit 7 performs a logical operation designated by a control data value from the device 6, to these data and test data DI from the device and sends it to the demultiplexer 5. In such a way, address position data corresponding to a desired virtual pin number of the device 6 is set to a suitable value, and a part of the test data can be changed temporarily at a test execution time point.

**LEGAL STATUS**

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

BEST AVAILABLE COPY